



IPW

PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,792	
	Filing Date	05/28/2004	
	First Named Inventor	Chao-Ping Chuang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	AMIP0027USA

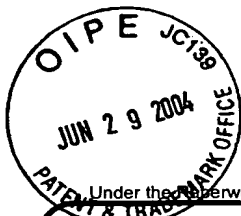
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	06/25/2004

CERTIFICATE OF TRANSMISSION/MAILING	
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.	
Typed or printed name	
Signature	Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,792
Filing Date	05/28/2004
First Named Inventor	Chao-Ping Chuang
Examiner Name	
Art Unit	
Attorney Docket No.	AMIP0027USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid	
Total Claims		-20** =		X		=	
Independent Claims		-3** =		X		=	
Multiple Dependent							

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	6/28/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



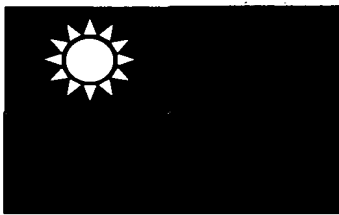
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092134472	Taiwan R.O.C	12/05/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 12 月 05 日
Application Date

申 請 案 號：092134472
Application No.

申 請 人：聯笙電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 5 月 25 日
Issue Date

發文字號：09320496050
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	能快速進行多位元組資料連續讀取之儲存裝置
	英 文	Storage Device Capable Of Supporting Sequential Multiple Bytes Reading
二、 發明人 (共2人)	姓 名 (中文)	1. 莊肇評
	姓 名 (英文)	1. CHUANG, CHAO-PING
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台中市北屯區太原路三段三七六巷十一號
	住居所 (英 文)	1. No. 11, Lane 376, Sec. 3, Tai-Yuan Rd., Bei-Tun Distric, Tai-Chung City 406, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯笙電子股份有限公司
	名稱或 姓 名 (英文)	1. AMIC TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行六路五號六樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 6F, No. 5, Li-Hsing 6 Rd., Science-Based Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.
	代表人 (中文)	1. 陳焜錄
代表人 (英文)	1. CHEN, KUN-LUH	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 詹壬謹
	姓 名 (英文)	2. CHAN, JEN-CHIN
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹縣竹東鎮上館里十三鄰中豐路二段一九七號
	住居所 (英 文)	2. No. 197, Sec. 2, Chong-Feng Rd., Community 13, Shang-Guan Li, Chu-Dong Town, Hsin-Chu Hsien 310, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

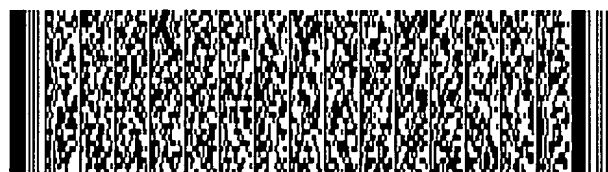


四、中文發明摘要 (發明名稱：能快速進行多位元組資料連續讀取之儲存裝置)

本發明係提供一種能支援多位元組連續讀取之儲存裝置，以在接收一位址資訊及一位元組數目M之資訊後，能夠連續地讀取/輸出屬於該位址以後M個位址的M個位元組之資料。該儲存裝置包含有：一位址計算模組、一位址緩衝模組、一解碼模組、複數個記憶單元以及複數個輸出緩衝模組，每一緩衝模組可同時接收兩個記憶單元的資料，並在不同的時間依序將各記憶單元的資料輸出。當該位址計算模組將一位址儲存入該位址緩衝模組後，該解碼模組會使該位址對應的複數個記憶單元同時將其記錄的資料輸出至對應之輸出緩衝模組，由各輸出緩衝模組依序連續輸出各記憶單元的資料；而在進行上述過程時，該位址計算模組已可開始計算次一位址，等到輸出緩衝模組結束輸出時，該位址計算模組也已經將次一位址儲存入該記憶緩衝模組，而該解碼模組也已經能不中斷地繼續使對應於次一位址的記憶單元開始輸出資

五、英文發明摘要 (發明名稱：Storage Device Capable Of Supporting Sequential Multiple Bytes Reading)

Storage device capable of supporting multiple bytes reading, such that when the storage device receives an address information and a byte information M, the storage device can continuously provides M bytes belonging to M addresses following an address assigned in the address information. The storage device includes: an address counting module, an address buffer, a



四、中文發明摘要 (發明名稱：能快速進行多位元組資料連續讀取之儲存裝置)

料。

五、英文發明摘要 (發明名稱：Storage Device Capable Of Supporting Sequential Multiple Bytes Reading)

decoding module, a plurality of memory cells and output buffers. Each output buffer is capable of receiving data of two cells and sequentially outputting the data one by one. When the address counting module stores an address in the address buffer, the decoding module will make cells, which belongs to the address, simultaneously output data to the output buffers, such that the



四、中文發明摘要 (發明名稱：能快速進行多位元組資料連續讀取之儲存裝置)

五、英文發明摘要 (發明名稱：Storage Device Capable Of Supporting Sequential Multiple Bytes Reading)

output buffers sequentially output data of respective cell. Meanwhile, the address counting module starts to count the next address, such that when the output buffer finishes outputting, the next address is already stored in the address buffer, and the decoding module has already made cells belonging to the next address output data continuously.



六、指定代表圖

(一)、本案代表圖為：第___六_____圖

(二)、本案代表圖之元件代表符號簡單說明：

50	儲存裝置	54	介面電路
56	控制電路	58A	位址觸發模組
58B	輸出觸發模組	60A	位址計算模組
60B	位址緩衝模組	62	解碼模組
64A	列解碼器	64B	行解碼器
66	記憶陣列	68	記憶單元
70	感測模組	72	輸出緩衝模組
100	匯流排	CLK、FWH0-FWH4	配線

ADS、ADDR、CK_ADS、ADSLAT、SASEL、HNBSEL、OBLAT
訊號



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【技術領域】

本發明係提供一種可支援多位元組資料連續讀取之儲存裝置（像是快閃記憶體），尤指一種以位址緩衝及輸出緩衝來實現多位元組資料連續讀取之儲存裝置。

【先前技術】

在典型的微處理器與電腦系統中，常需整合不同功能之電路構築方塊來實現電腦系統複雜、多樣化的功能。如何在不同電路構築方塊間快速、有效地交換電子訊號、資料，達成電腦系統應有的功能，也就成為現代資訊廠商研發的重點之一。尤其是現代電腦系統之發展還需兼顧低功率消耗、低成本，也要減少電路構築方塊佈局所需的面積，使得相關研發所需考慮的因素更形複雜。

請參考圖一。圖一即為一典型電腦系統10之功能方塊示意圖。電腦系統10中設有一中央處理器12、一揮發性的記憶體18及一晶片組14（像是南北橋晶片）；而晶片組14則透過一匯流排16連接於一儲存裝置20及週邊控制器22A等等。中央處理器12用來主控電腦系統10之操作，記憶體18用來暫存中央處理器12運作期間所需的資料、程式，儲存裝置20可以是非揮發性的儲存裝置，像是快閃記憶體，用來支援電腦系統10之非揮發性記憶體資

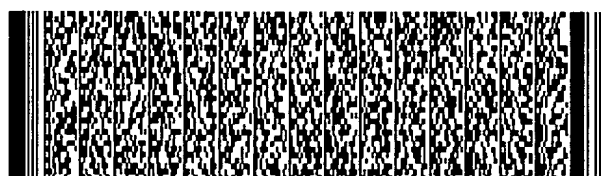
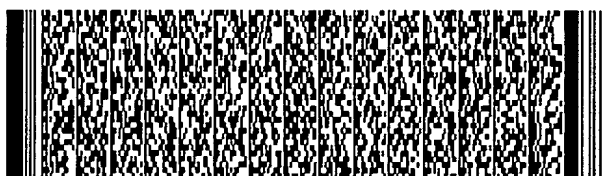


五、發明說明 (2)

源。舉例來說，儲存裝置20可以是一快閃記憶體之基本輸出入系統(BIOS)，以儲存電腦系統10開機時所需執行的程式(像是各種檢查流程及運作參數之設定)。週邊控制器22A則用來控制週邊裝置22B(像是鍵盤、滑鼠等的輸入裝置)。經由晶片組14、匯流排16的連接，儲存裝置20、週邊控制器22A就能和中央處理器12相互交換資料，達成電腦系統10的整體功能。

如圖一所示，匯流排16是晶片組14與儲存裝置20等電路構築方塊間重要的資料交換管道。在現代的電腦系統中，都希望能以較少的配線數來實現匯流排16。若匯流排16之配線數較少，晶片組14、儲存裝置20、週邊控制器22A都僅需要較少的腳位(pin)就能連接於匯流排16，可有效減少晶片組14、儲存裝置20等之佈局面積及功率消耗。舉例來說，由資訊廠商英特爾(intel)所制訂的低腳位數(low-pin count, LPC)匯流排規格，就是針對配線數較少之匯流排，制訂了在此種匯流排上資料交換之協定與格式。

請繼續參考圖二(並一併參考圖一)。圖二即為圖一之匯流排16以較少配線數來實現之典型示意圖(像是以前述之低腳位數匯流排規格來實現時之示意圖)。在此典型之實施例中，匯流排16可由六條配線來實現，於圖二中分別標示為配線CLK，以及FWH0至FWH4。對匯流排16

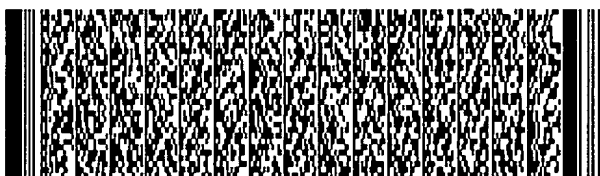


五、發明說明 (3)

來說，晶片組14可稱為主端(host)，可透過配線CLK將時脈傳輸至儲存裝置20（可稱為裝置端），控制主端、裝置端間資料交換之時序；另外，主端亦可透過配線FWH4來提示資料交換之開始與結束。主端、裝置端之間的資料，主要是經由配線FWH0至FWH3（圖二中記為FWH[3:0]）來進行交換。

配線數少之匯流排雖然能減少主端、裝置端電路所需的腳位數，但在進行資料（尤其是較多的資料）交換時，勢必要以序列傳輸的方式依序地逐筆傳輸資料。為了要增加效能，最好要能連續不中斷地傳輸複數筆資料。像是在前述之低腳位數匯流排規格中，就為了對儲存裝置的快速讀取而制訂有多位元組資料連續讀取之資料交換協定。請參考圖三（並一併參考圖一及圖二）。圖三即為圖二中匯流排16在主端、裝置端之間進行多位元組資料連續讀取時，其資料交換協定之訊號時序的示意圖；圖三之橫軸即為時間，由上而下則列示了各配線上資料交換的情形。當裝置端為儲存裝置20時，主端、裝置端可以用圖三中所示意的時序將主端所指定的資料由儲存裝置20中讀出，並傳輸回主端（也就是晶片組14）。

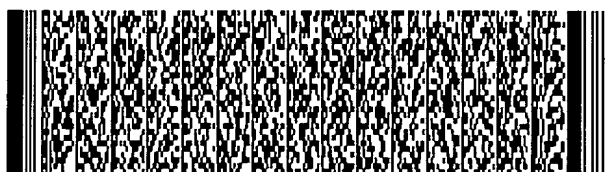
如圖三所示，首先，在時點 t_0 ，主端將配線FWH4之訊號由高位準拉低至低位準，提示其要由匯流排16上進行



五、發明說明 (4)

資料交換。在時點 t_1 （也就是配線CLK上時脈的升緣），主端經由配線FWH0至FWH3發出一個四位元的訊號START（各個配線發出一個位元的訊號，延續一個時脈週期 T ），指定要交換資料的對象（此處應為儲存裝置20），及要執行的運作（此處為讀取，要由儲存裝置20中讀取資料），以開始主端與儲存裝置20間資料交換的程序。

在時點 t_2 ，主端同樣以四配線FWH0至FWH3來發出一個四位元的訊號IDSEL，代表主端要由裝置端之儲存裝置20的某個特定部份讀出資料。作為一資料儲存的裝置，儲存裝置20中的每一筆資料都有一對應的位址。接下來，在時點 t_3 至 t_4 間，主端就會在配線FWH0至FWH3上以7個週期 T 的時間發出一個28位元的訊號MADDR，指定其所需資料的位址。每條配線FWH0至FWH3在一週期 T 內可傳輸一位元的資料，故4條配線在7週期內就可將一個28位元的位址傳遞至裝置端的儲存裝置20。接下來，在時點 t_4 ，主端又將四位元的訊號MSIZE傳輸至裝置端，代表其要連續讀出的資料有幾筆。在圖三中的例子中，假設訊號MADDR中的位址為 $AR(X)$ ，而訊號MSIZE代表主端要讀出四筆資料，那就代表主端要從儲存裝置20中連續讀取位址為 $AR(X)$ 、 $AR(X+1)$ 、 $AR(X+2)$ 及 $AR(X+3)$ 等四筆各一位元組的資料。換句話說，以主端訊號MADDR中之位址為初始位址，配合訊號MSIZE中的資料數量，裝置端的儲存裝置20應該就可以遞增算出所主端所需之各筆資料的位址。



五、發明說明 (5)

在時點 t_5 、 t_6 之間為兩週期 T 之訊號 TAR ，也就是迴轉週期(turn-around cycle)，代表匯流排16將由儲存裝置20來主控，以將主端要求的資料由儲存裝置20回傳至主端。在時點 t_6 ，儲存裝置20透過配線 $FWH0$ 至 $FWH3$ 發出四位元的訊號 $SYNC$ ，代表儲存裝置20開始主控資料的傳輸。為了要實現高速資料交換的目的，接下來，儲存裝置20應該就要能連續傳輸主端所要求的四筆資料。在時點 t_7 、 t_8 之間，儲存裝置20以兩個週期 T 的時間傳輸位址 $AR(X)$ 的一位元組(8位元)資料，也就是訊號 $DATA1$ 。緊接著，又要在時點 t_8 、 t_9 間傳輸位址 $AR(X+1)$ 的位元組資料，也就是訊號 $DATA2$ 。以此類推，儲存裝置20就要在時點 t_7 至 t_{11} 之間，以8個週期 T 的時間不中斷地依序傳輸位址分別為 $AR(X)$ 至 $AR(X+3)$ 的四個位元組之資料(即訊號 $DATA1$ 至 $DATA4$)，達成主端在時點 t_1 至 t_5 間提出的要求。在時點 t_{11} 之後，又是兩個週期 T 之訊號 TAR ，完成與主端間的資料交換。

由以上描述可知，為了配合配線數較少之匯流排16，裝置端的儲存裝置20應該要能像圖三中所示的時序圖一樣，能計算連續遞增(或遞減)的位址，並能不中斷地連續傳輸多位元組之資料，才能支援高效率的資料讀取協定(也就是多位元組資料連續讀取)。不過，一般來說，習知之儲存裝置都難以支援上述之多位元組讀取。

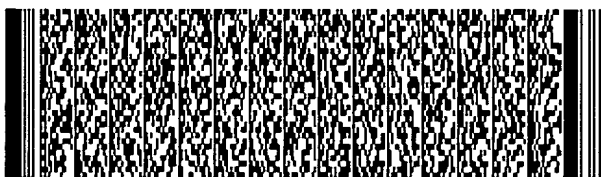


五、發明說明 (6)

進一步的說明請參考圖四。圖四即為一習知儲存裝置30的功能方塊示意圖。儲存裝置30可以是一快閃記憶體，其內設有一介面電路24、一控制電路26、一位址計算模組28、一解碼模組32、一記憶陣列36與複數個感測電路40。其中，介面電路24電連於匯流排16，以從配線CLK、FWH0至FWH4來收發訊號，與主端（未示於圖四）交換資料。控制電路26用來主控儲存裝置30之運作，位址計算模組28則用來計算位址，將算出的位址輸出為訊號

ADDRp。在記憶陣列36中，設有複數個記憶單元38，各記憶單元38用來記憶一位元的資料（譬如說是以具有浮動閘極之電晶體來以非揮發性的方式記錄資料）。對應於記憶陣列36的各個記憶單元38，解碼模組32中則設有一列解碼器34A及一行解碼器34B，用來依據位址計算模組28提供的位址訊號ADDRp解碼出該位址對應的各個記憶單元38，並使這些記憶單元38將儲存的資料傳輸至各個感測電路40。

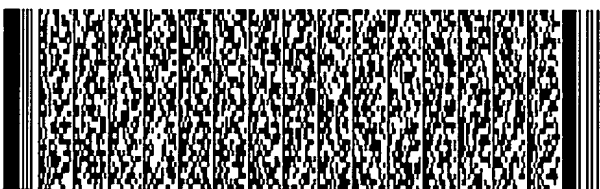
配合匯流排16的四條配線FWH0至FWH3，儲存裝置30中也設有四個感測電路40，各感測電路40可分別將一記憶單元38傳輸過來的資料感測、讀取出來，並將資料傳輸至一條對應的配線上。就如圖四中所示，各感測電路40的基本構造相同，其中可設有一感測放大器42、反相器I、以及以互補金氧半電晶體形成之輸出級；由一記憶單元36傳來的資料會以電壓訊號之形式傳輸至感測電路40



五、發明說明 (7)

中，並在感測放大器42和一參考電壓 V_r 相互比較，以決定該記憶單元中儲存的資料是數位「0」或「1」的位元，再經由反相器I、偏壓於電壓 V_d 及G的互補金氧半電晶體形成對應之訊號SAOUTp，傳輸至介面電路24，以將一位元之資料傳輸至對應之配線（也就是配線FWH0至FWH3其中之一）。

不過，若要以習知儲存裝置30來實現圖三中多位元組資料連續讀取之協定，則尚有技術上的瓶頸。請參考圖五（及圖四）。圖五即為圖四中儲存裝置30實施資料讀取時之時序示意圖；圖五的橫軸為時間。為了方便討論，圖五中也繪出了多位元組連續資料讀取之時序協定，作為比較（也請一併參考圖三）。依據協定，主端會在時點 t_2 及 t_4 間以七個週期 T 之時間傳輸共28位元之訊號MADDR，作為28位元之初始位址AR(X)。在時脈之升緣觸發下，儲存裝置30應可經由介面電路24、控制電路26而在時點 t_{3b} 取得這28位元的訊號MADDR，並傳輸至位址計算模組28，也就是訊號ADDRp中在時點 t_{3b} 之後的位址AR(X)。由協定規範的時序可看出，儲存裝置30應在時點 t_7 開始提供位址AR(X)對應資料的前四個位元，因此解碼模組32可在時點 t_{3b} 與 t_6 之間進行解碼，使位址AR(X)之資料前四位元對應的四個記憶單元能在時點 t_6 開始將其儲存的一位元資料分別傳輸至四個感測模組40。在時點 t_7 ，各個感測模組40完成資料的感測，能將其讀取之位



五、發明說明 (8)

元輸出，即訊號SAOUT_p中的一位元資料P_x。集合四個感測模組40傳回介面電路24的一位元資料，就能在時點t₇回傳位址AR(X)資料的前四位元，以符合協定中規範的時序。

然而，依據協定規範之時序，習知之儲存裝置30應該要在時點t_{7p}不中斷地繼續傳輸位址AR(X)資料的後四個位元。此時習知之儲存裝置30就會發生困難，因為習知儲存裝置30必需要延遲一時段T_{p1}才能繼續讀出這後四個位元。要讀取後四個位元之資料，習知儲存裝置30必需重新解碼出位址AR(X)資料後四個位元對應的記憶單元，重新設定各個感測模組40，再對這四個記憶單元中儲存的一位元資料Q_x進行感測；因此，習知儲存裝置30可能要延遲到時點t₈才能提供後四個位元的資料。這樣一來，就不能符合協定中多位元組資料連續讀取之規範了。

除此之外，在多位元組資料連續讀取的過程中，習知儲存裝置30還有位址計算的問題。如前面所描述過的，在處理完位址AR(X)的資料後，儲存裝置30應該要能不中斷地繼續傳輸次一位址AR(X+1)的資料。如圖五所示，由於解碼模組32要在時點t_{7p}解碼出位址AR(X)後四個位元對應的記憶單元，故在時點t₈，位址計算模組28才能開始由位址AR(X)遞增計算出次一位址AR(X+1)。要計算出



五、發明說明 (9)

位址 $AR(X+1)$ ，位址計算模組28還要另外耗費時段 T_{p2} 之時間。就如前面討論過的，各位址 $AR(X)$ 、 $AR(X+1)$ 為28位元之位址，即使只是遞增1，還是會涉及28個位元間逐一進位之計算，故需耗費相當之時間。因此，到了時點 t_{8p} ，位址計算模組28才能計算出次一位址 $AR(X+1)$ 。接著，在時點 t_9 ，解碼模組32也才能再根據位址 $AR(X+1)$ 讓感測模組40開始感測對應之四個記憶單元，提供位址 $AR(X+1)$ 資料的前四個位元（也就是訊號 $SAOUT_p$ 中的資料 P_{x1} ）。由圖五中可看出，在習知儲存裝置30中，由於位址計算所需的時間會直接影響資料感測的時序，習知儲存裝置30就無法在處理完位址 $AR(X)$ 之資料傳輸後不中斷地繼續處理位址 $AR(X+1)$ 之資料，也就無法達到協定中多位元組資料連續讀取之要求。

綜合以上數種因素，都使得習知儲存裝置30無法有效地支援多位元組資料連續讀取之協定，降低了資料交換的效率，進而影響電腦系統整體工作之效能。

【內容】

因此，本發明之主要目的，即是要提出一種儲存裝置的改進架構，能有效地支援多位元組資料連續讀取之協定，增進資料交換之效能，克服習知技術的缺點。



五、發明說明 (10)

在本發明之較佳實施例中，係以一位址計算模組配合一位址緩衝模組來解決位址計算時間的問題。當位址計算模組將一位址計算出來後，就能將其儲存至位址緩衝模組，讓解碼模組能依據位址緩衝模組中的位址來解碼出對應的記憶單元；在此同時，位址計算模組因為已將位址儲存至位址緩衝模組，所以能隨即開始計算次一位址。換句話說，當解碼模組在對一位址解碼其對應之記憶單元時，位址計算模組已經在計算次一位址。這樣一來，等儲存裝置處理完該位址之資料讀取後，就能緊接著處理次一位址之資料讀取。

另一方面，本發明也使用了輸出緩衝模組之設計來支援位元組之讀取。雖然在多位元組資料連續讀取之協定下，一位元組之資料係在兩時脈週期之時間中分別傳輸兩筆之四位元資料，但本發明之儲存裝置一次就可讀出八位元之所有資料，再由輸出緩衝模組安排而將這八位元資料分別在兩個時脈週期中以各四位元的方式依次傳輸出。經由上述的安排，本發明儲存裝置就能支援多位元資料連續讀取之協定，在低配線數之匯流排上以高效能來交換資料。

【實施方法】

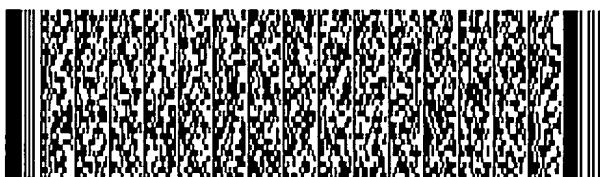
請參考圖六。圖六即為本發明儲存裝置50一實施例之



五、發明說明 (11)

功能方塊示意圖。本發明儲存裝置可以是一快閃記憶體（像是電腦系統中快閃記憶體之基本輸出入系統，flash BIOS），其內設有一介面電路54、一控制電路56、一位址觸發模組58A、一輸出觸發模組58B、一位址計算模組60A、一位址緩衝模組60B、一解碼模組62、一記憶陣列66及一感測模組70。介面電路54可以透過匯流排100的配線CLK、FWH0-FWH4來和一主端（像是圖二中的晶片組，此處並未顯示於圖六）交換資料。控制電路56用來主控儲存裝置50的運作。在進行多位元組連續資料讀取時，位址觸發模組58A可以用訊號CK_ADS控制位址計算模組60A，以觸發位址計算模組60A開始計算遞增的各個位址，並輸出為訊號ADS。另外，位址觸發模組58A也可用訊號ADSLAT來觸發位址緩衝模組60B接收位址計算模組60A傳來的位址，並加以儲存（鎖定），以便將位址以訊號ADDR傳輸至解碼模組62。

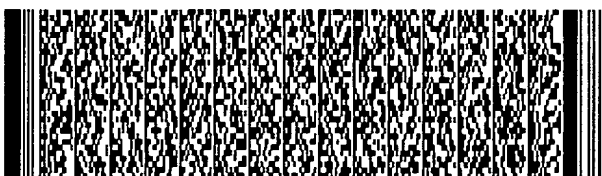
記憶陣列66中設有複數個排列為矩陣的記憶單元68，各記憶單元68用來記錄一位元的資料。舉例來說，記憶單元68可以包括有具有浮動閘極的電晶體，用來以非揮發性的方式儲存資料。對應於記憶陣列66，解碼模組62中也設有一列解碼器64A及一行解碼器64；根據位址緩衝模組60B中儲存的位址，解碼模組62就能使該位址對應的各個記憶單元68輸出其所儲存的一位元資料。在以下討論的實施例中，位址緩衝模組60B中儲存的一個位址可對



五、發明說明 (12)

應於一個位元組(byte)的資料；換句話說，有八個記憶單元68皆對應於此一位址。而在本發明中，解碼模組62可根據一位址解碼出所有八個與其對應之記憶單元，使這八個記憶單元同時輸出其記錄的一位元資料。對應於會在同一時間內輸出資料的八個記憶單元，本發明的感測模組70中也設有四個輸出緩衝模組72；各個輸出緩衝模組72用來接收兩個記憶單元輸出的資料。而輸出觸發模組58B即可用訊號SASEL、HNBSEL、OBLAT等來觸發控制各個輸出緩衝模組58B，使輸出緩衝模組58B可在兩個時脈週期的時間內逐一將兩個記憶單元的資料傳輸至介面電路，作為由儲存裝置50讀取的資料。請參考圖七（並一併參考圖六）。各輸出緩衝模組72的基本構造相同，而圖七即繪出了本發明一輸出緩衝模組72實施例的示意圖（並連帶繪出其與記憶陣列66聯合配置的情形）。

在本發明的一個輸出緩衝模組72中，設有兩個感測放大器74A、74B、以互補金氧半電晶體形成之傳輸閘76A、76B、78、80，以反相器I連接而成的鎖定電路82A、82B與84，以及偏壓於電壓Vd、G之間、以互補金氧半電晶體形成之輸出級。兩感測放大器74A、74B分別用來感測一記憶單元傳來的資料，並分別輸出為對應的訊號SAOUT1及SAOUT2。各傳輸閘作為傳輸電路，其中傳輸閘76A、76B接收訊號SASEL（及其反相訊號）之控制，傳輸閘78、80則分別接收訊號OBLAT、HNBSEL（及對應反相訊

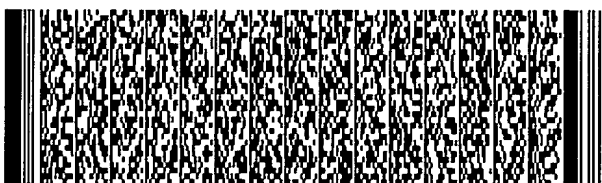


五、發明說明 (13)

號) 之控制。最後，輸出級輸出的訊號SAOUT3即可作為一配線FWH[n]上的輸出訊號(配合四個輸出緩衝電路72，n即分別為0到3)，輸出儲存裝置50讀出的資料。

關於本發明儲存電路50運作的情形，請參考圖八(及圖三、圖六與圖七)。圖八即為儲存電路50實現圖三中多位元組連續資料讀取之資料交換協定時，各相關訊號之時序示意圖；圖八之橫軸即為時間。就如圖三及相關討論中敘述過的，在多位元組資料連續讀取的協定中，主端會透過匯流排上的配線FWH[3:0]在時點t1、t2分別傳輸一訊號START(圖八中標為S)、IDSEL，使儲存裝置50的控制電路56準備讀取資料。在時點t3到t4的七個週期T之間，主端會以28位元的訊號MADDR將其所要讀取資料的初始位址(也就是位址AR(X))傳輸給儲存裝置50，並將連續讀取之資料位元組數目以訊號MSIZE(圖八中標示為M)傳輸給儲存裝置50；跟圖三中的例子一樣，在圖八討論的例子中，也假設主端要求連續四個位元組的資料。在兩個週期T的TAR訊號及一週期T之SYNC訊號(圖八中標示為SC)之後，儲存裝置50就要從時點t7開始，在接下來以八週期T的時間連續向主端提供位址分別在AR(X)至AR(X+3)的四個位元組的資料。

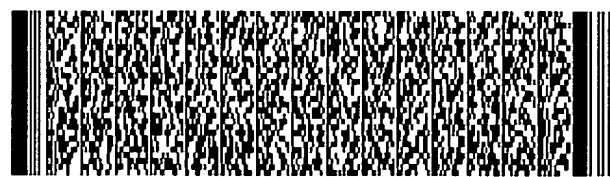
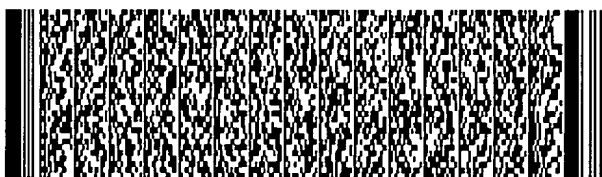
如圖八所示，在升緣觸發的情形下，儲存裝置50可在時點t3b取得訊號MADDR所有的28個位元，使位址計算模組



五、發明說明 (14)

60A、位址緩衝模組60B都能在時點 $t3b$ 取得位址 $AR(X)$ 。時點 $t3b$ 距離要開始傳輸資料的時點 $t7$ 還有五個週期 T 之時間，故儲存裝置50的解碼模組62有充裕的時間來進行解碼，並在時點 $t5m$ ，開始讓位址 $AR(X)$ 對應的八個記憶單元同時向對應的輸出緩衝模組傳輸其所儲存的資料。如圖八（及圖七）所示，在每一輸出緩衝電路72中，訊號 $SAOUT1$ 、 $SAOUT2$ 代表其對應的感測放大器74A、74B皆於時點 $t5m$ 開始感測對應記憶單元傳來的資料，並在時點 $t6$ 穩定地讀出資料內容（即一位元的資料 Ax 、 Bx ）。集合四個輸出緩衝模組72共八個感測放大器所一起讀取出來的八個位元資料，就是位址 $AR(X)$ 對應的一位元組資料。

接下來，在時點 $t6m$ ，輸出觸發模組58B開始將訊號 $SASEL$ 由低位準提高至高位準，使原本關閉不導通的傳輸閘76A、76B皆導通，將感測放大器74A、74B感測出來的資料分別存入（鎖定）至鎖定電路82A、82B。依據多位元組資料連續讀取之協定，到了時點 $t7$ ，儲存電路50應該要輸出位址 $AR(X)$ 對應資料的前四個位元。所以，到了時點 $t7$ ，本發明中之輸出觸發模組58B就會將訊號 $OBLAT$ 之位準升高，使原本不導通的傳輸閘78導通，將儲存於鎖定電路82A中的資料（也就是資料 Ax ）傳輸至鎖定電路84，並由經由輸出級傳輸出去。集合四個輸出緩衝電路在時點 $t7$ 分別開始輸出的一位元資料，就能向主端傳輸



五、發明說明 (15)

位址AR(X)對應資料的前四個位元。

接續訊號OBLAT在時點t7至t7a間對傳輸閘78的導通控制，輸出觸發模組58B會在時點t7a、t7b之間將訊號HNBSEL提升至高位準，導通傳輸閘80，將儲存於鎖定電路82B中的資料（也就是資料Bx）傳輸至鎖定電路82A；在時點t7a、t7b之間，原本儲存於鎖定電路82A的資料Ax已經先被儲存至鎖定電路84（由於訊號OBLAT之導通），故可將鎖定電路82B中的資料Bx遞移至鎖定電路82A。到了時點t7b，訊號OBSLAT又變為高位準，將傳輸閘78導通，使鎖定電路82B中的資料Bx可傳輸至鎖定電路84中並加以輸出。集合四個輸出緩衝模組72在時點t7b輸出的四個位元資料，就剛好能符合協定的要求，能在時點t7b連續地輸出位址AR(X)對應資料的次四個位元。

換句話說，本發明是將一位址對應之位元組資料的八個位元一次就全部讀取出來，再藉由各個輸出緩衝模組72的運作，將八個位元的資料分別於兩個週期T中逐次輸出，以符合多位元組連續資料讀取之協定，能夠連續、不中斷地於兩個週期T中將一位元組的八位元資料輸出給主端。相較之下，像在先前討論過的習知儲存裝置30，由於其一次僅能讀出四個位元的資料，故在將一位元組之資料分成四位元、四位元資料傳輸時，中間勢必要再耗費一段延遲時間來重新進行感測，也因此不能符合多



五、發明說明 (16)

位元組資料連續讀取之協定。

另一方面，根據圖三中多位元組資料連續讀取之協定，在時點 t_7 、 t_8 連續的兩個週期 T 中傳輸完位址 $AR(X)$ 之一位元組資料之後，又要不中斷地從時點 t_8 繼續開始傳輸次一位址 $AR(X+1)$ 所對應的一位元組資料。如圖八所示，在位址計算模組60A將位址 $AR(X)$ 傳輸至位址緩衝模組60B之後，位址觸發模組58A就會在時點 t_6 將訊號 CK_ADS 由低位準升高至高位準，觸發位址計算模組60A開始計算次一位址 $AR(X)$ 。在此同時，控制位址緩衝模組60B的訊號 $ADSLAT$ 仍維持於低位準，以鎖定其內儲存之位址 $AR(X)$ ，使其不隨訊號 ADS 改變而改變（位址緩衝模組60B可用一資料鎖定器來實現）。因此，當解碼電路在時點 t_{5m} 開始依據位址緩衝模組60B於訊號 $ADDR$ 提供的位址 $AR(X)$ 來解碼出位址 $AR(X)$ 對應的八個記憶單元時，其過程也都一直不會受到訊號 ADS 之影響。請注意，當位址計算模組60A從時點 t_6 開始計算次一位址 $AR(X+1)$ 時，對應於位址 $AR(X)$ 的八個位元資料也才感測/讀取完畢，甚至還沒開始傳輸回主端。

到了時點 t_7 ，位址計算模組60A已經有一週期 T 的時間來完成位址 $AR(X+1)$ 之計算，此時位址觸發模組58A就會將訊號 $ADSLAT$ 轉變為高位準，觸發位址緩衝模組60B接收位址計算模組60A計算出來的位址 $AR(X+1)$ 。同時，在時點



五、發明說明 (17)

t7，解碼模組62也就能開始解碼出位址AR(X+1)對應的八個記憶單元，並使這些記憶單元將其儲存的資料傳輸至各輸出緩衝模組72，由輸出緩衝模組72中的各感測放大器開始偵測位址AR(X+1)對應之一位元組資料。到了時點t7b，各感測放大器已經能穩定地輸出位址AR(X+1)對應資料的各個位元資料，即為訊號SAOUT1、SAOUT2中所示的資料Ax1、Bx1。由於訊號SASEL在時點t7b、t7m之間還是低位準，保持傳輸開76A、76B的關閉狀態，使得各輸出緩衝模組72還能繼續由鎖定電路84輸出位址AR(X)的後四個位元。到了時點t7m，訊號SASEL才會再度升高至高位準，開始將位址AR(X+1)的各個位元資料由感測放大器傳輸至鎖定電路76A、76B。接下來，從時點t8開始，訊號OBLAT又轉變為高位準，使四個輸出緩衝模組72能接著由鎖定電路76A中輸出位址AR(X+1)資料的前四個位元（即各個輸出緩衝組72所輸出的一位元資料Ax1），正好能符合多位元組資料連續讀取之協定，在時點t8結束位址AR(X)資料之輸出後，緊接著輸出位址AR(X+1)之資料。

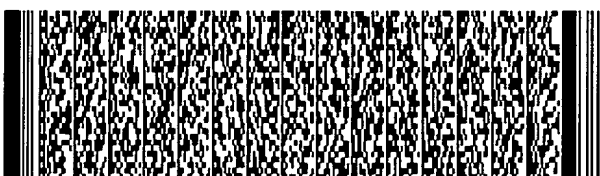
由以上敘述可知，本發明係以位址緩衝模組60B來鎖定儲存解碼模組60B解碼之位址，讓位址計算模組60A能直接開始計算次一位址，使得解碼感測、位址計算的過程能同時進行。就如圖八所示，當輸出緩衝模組之各個感測放大器在時點t5m、t6至t7之間還在處理位址AR(X)之資



五、發明說明 (18)

料讀取時，位址計算模組60A已經在時點t6開始計算次一位址AR(X+1)，並能在時點t7提供算好的位址AR(X+1)。緊接著，解碼模組62、各感測放大器就能在時點t7、t7b至t8之間開始依據位址AR(X+1)處理對應的資料感測。同時，在時點t7b，位址計算模組60A又能開始計算次一位址AR(X+2)。每當解碼模組62、各感測放大器處理完前一位址的資料感測/讀取後，位址計算模組60A也剛好完成次一位址的計算，讓解碼模組62、各感測放大器緊接著又能繼續處理對次一位址的資料感測，讓不同位址之資料感測能連續不中斷地進行，如圖八中於訊號SAOUT1、SAOUT2所示的情形。相較之下，圖四、圖五中的習知儲存裝置在處理不同位址資料之感測時，就會因位址計算而發生中斷、延遲。利用位址計算模組60A、位址緩衝模組60B之間的協調運作，再加上本發明於各輸出緩衝模組72中同時讀取兩位元再先後輸出的設計，就能使本發明儲存裝置50能完全實現多位元組資料連續讀取之功能，符合低配線數/低腳位數匯流排上資料交換之協定。

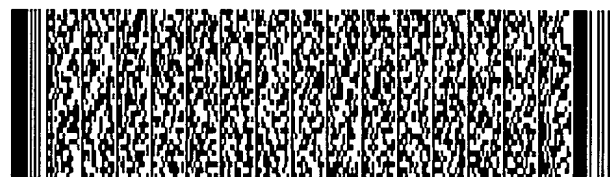
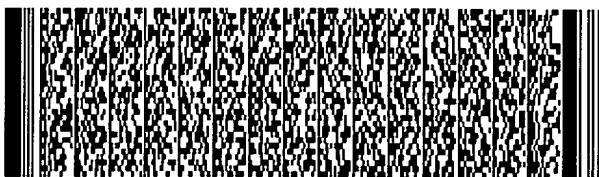
依據相同的道理，當各輸出緩衝模組72中的感測放大器於時點t8b至t9之間完成位址AR(X+2)資料之感測/讀取後（也就是訊號SAOUT1、SAOUT2中的一位元資料Ax2、Bx2），位址計算模組60A也已經計算出位址AR(X+3)。從時點t8b開始，輸出緩衝模組72就可依據訊號SASEL、OBLAT、HNBSEL依序於時點t8m至t9、t9至t9a以及t9a至



五、發明說明 (19)

t9b 之間的高位準，使一位元資料Ax2能經由鎖定電路82A、84而輸出，而另一位元之資料Bx2則經由鎖定電路82B、82A及84而於次一週期T中輸出。從時點t9開始至t9b、t10的期間，位址緩衝模組60B、各感測放大器又開始處理位址AR(X+3)之資料感測/讀取，此時各輸出緩衝模組72中的各個鎖定電路才正在處理前一位址AR(X+2)之資料的輸出；而位址計算模組60A則已經在時點t10計算出次一位址AR(X+4)。就因為本發明中各相關模組緊密銜接的工作時序，讓本發明得以符合多位元組資料連續讀取之協定，增進低配線數/低腳位數匯流排上資料交換的效率。

相較於習知技術，本發明是在各個輸出緩衝模組中將一位址的所有8個位元的資料一次就全部讀出，再按照多位元組資料連續讀取協定之規範，將此八個位元以前四個、後四個位元之順序逐一輸出，使得同一位元組之前四個、後四個位元能不中斷地連續輸出。另外，本發明亦利用位址緩衝模組、位址計算模組之設置，來使資料感測、位址計算的運作能同時進行，使得不同位址之各筆資料能連續不中斷地被感測、讀出。結合上述兩種機制，本發明儲存電路就能達成多位元組資料連續讀取之功能，將不同位址之各個位元組之資料連續輸出，增進匯流排上資料交換之效能，進而提升電腦系統的整體功能。



五、發明說明 (20)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為一典型電腦系統之功能方塊是意圖。

圖二為圖一中晶片組與儲存裝置以匯流排連接之示意圖。

圖三為圖二中晶片組與儲存裝置進行多位元組資料連續讀取時資料交換協定之時序示意圖。

圖四為一習知儲存裝置功能方塊的示意圖。

圖五為圖四中儲存裝置進行資料讀取時之時序示意圖。

圖六為本發明儲存裝置一實施例之功能方塊示意圖。

圖七為圖六中輸出緩衝模組之電路示意圖。

圖八為圖六中儲存裝置運作時各相關訊號波形時序之示意圖。

圖式之符號說明

10 電腦系統

14 晶片組

18 記憶體

22A 週邊控制器

24、54 介面電路

28、60A 位址計算模組

34A、64A 列解碼器

36、66 記憶陣列

12 中央處理器

16、100 匯流排

20、30、50 儲存裝置

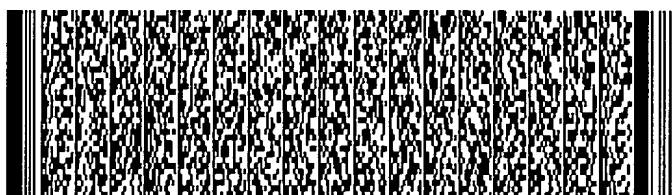
22B 週邊裝置

26、56 控制電路

32、62 解碼模組

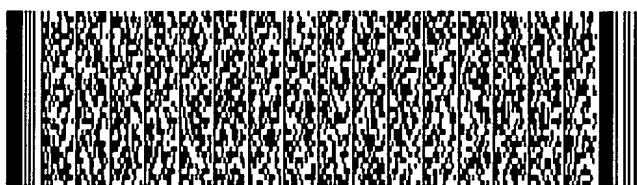
34B、64B 行解碼器

38、68 記憶單元



圖式簡單說明

40	感測電路	42、74A-74B	感測放大器
58A	位址觸發模組	58B	輸出觸發模組
60B	位址緩衝模組	70	感測模組
72	輸出緩衝模組	76A-76B、78、80	傳輸閘
82A-82B、84	鎖定電路		
T	週期		
Tp1-Tp2	時段		
AR(X)-AR(X+3)	位址		
I	反相器		
Px-Px1、Qx-Qx1、Ax-Ax3、Bx-Bx3	資料		
Vd、G	電壓		
Vr	參考電壓		
CLK、FWH0-FWH4	配線		
t0-t11、t3b、t5p、t7p-t9p、t7a-t10a、t5m-t10m、t7b-t10b	時點		
START、IDSEL、MADDR、MSIZE、TAR、SYNC、DATA1-DATA4、SAOUTp、ADDRp、ADS、ADDR、CK_ADS、ADSLAT、SASEL、HNBSEL、OBLAT、SAOUT1-3	訊號		



六、申請專利範圍

1. 一種儲存裝置，其包含有：

複數個記憶單元，各記憶單元用來記錄一筆資料，而每一記憶單元對應於一位址；
一介面電路，用來接收一位址資訊；
一位址計算模組，電連於該介面電路；該位址計算模組可根據該位址資訊提供一第一位址；
一位址緩衝模組，電連於該位址計算模組，該位址緩衝模組可接收並儲存該位址計算模組提供的位址；當該位址緩衝模組儲存該第一位址後，該位址計算模組可根據該位址資訊開始計算出一個異於該第一位址之第二位址，使得當該位址緩衝模組儲存該第一位址時，該位址計算模組已可提供該第二位址；以及
一解碼模組，電連於該位址緩衝模組，當該位址緩衝模組儲存該第一位址而該位址計算模組可提供該第二位址時，該解碼模組可使對應於該第一位址之各個記憶單元輸出其記錄之資料；而當對應於該第一位址之各個記憶單元輸出其記錄之資料後，該位址緩衝模組會儲存該位址計算模組提供的第二位址，而該解碼模組可繼續使對應於該第二位址之各個記憶單元輸出其記錄之資料。

2. 如申請專利範圍第1項之儲存裝置，其中在該複數個記憶單元內，至少有兩個記憶單元對應於一相同的位址；而該儲存裝置另包含有：

至少一輸出緩衝模組，每一輸出緩衝模組電連於各個對



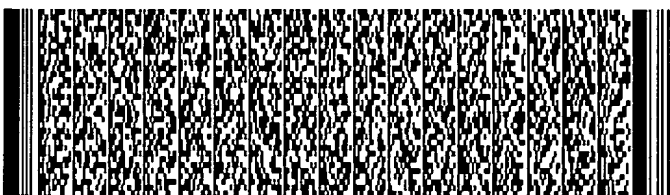
六、申請專利範圍

應於同一位址之記憶單元；當各個對應於同一位址之記憶單元同時輸出其記錄之資料時，該輸出緩衝模組可儲存各記憶單元輸出之資料，並於不同之時間依序提供各記憶單元輸出之資料，以作為該儲存裝置之輸出。

3. 如申請專利範圍第2項之儲存裝置，其中該輸出緩衝模組包含有：

一第一及第二鎖定電路(latch)，各鎖定電路分別電連於對應於同一位址之不同記憶單元，用來儲存各記憶單元輸出的資料；而該輸出緩衝模組係以該第一鎖定電路中儲存的資料作為該儲存裝置之輸出；以及
一傳輸電路，電連於兩鎖定電路之間；當該第一鎖定電路及該第二鎖定電路電連之記憶單元輸出資料時，該傳輸電路會關閉而使該第一及第二鎖定電路可分別儲存兩記憶單元之輸出資料；而當該輸出緩衝模組以該第一鎖定電路中儲存的資料作為該儲存裝置之輸出後，該傳輸電路會導通而將該第二鎖定電路中儲存的資料傳輸至該第一鎖定電路中，使該輸出緩衝模組可繼續將該第一鎖定電路中之資料作為該儲存裝置的輸出，以使該輸出緩衝模組可於不同之時間依序提供各記憶單元輸出之資料。

4. 如申請專利範圍第3項之儲存裝置，其中該傳輸電路為一傳輸閘(transmission gate)。



六、申請專利範圍

5. 如申請專利範圍第2項之儲存裝置，其中該輸出緩衝模組另電連於該介面電路，以經由該介面電路接收該位址資訊之配線依序提供各記憶單元輸出的資料。
6. 如申請專利範圍第1項之儲存裝置，其係為一非揮發性之記憶體。
7. 如申請專利範圍第1項之儲存裝置，其中該位址計算模組係以位址遞增的方式由該第一位址計算出該第二位址。
8. 如申請專利範圍第1項之儲存裝置，其中該複數個記憶單元係排列為一陣列，而該解碼模組包含有一行解碼器及一列解碼器。
9. 一種儲存裝置，其包含有：
複數個記憶單元，各記憶單元用來記錄一筆資料，而每一記憶單元對應於一位址，且至少有兩個記憶單元對應於一相同的位址；
一解碼模組，可接收一位址而使對應於該位址的各個記憶單元輸出其記錄之資料；以及
至少一輸出緩衝模組，每一輸出緩衝模組電連於各個對應於同一位址之記憶單元；當各個對應於同一位址之記



六、申請專利範圍

憶單元同時輸出其記錄之資料時，該輸出緩衝模組可儲存各記憶單元輸出之資料，並於不同之時間依序提供各記憶單元輸出之資料，以作為該儲存裝置之輸出。

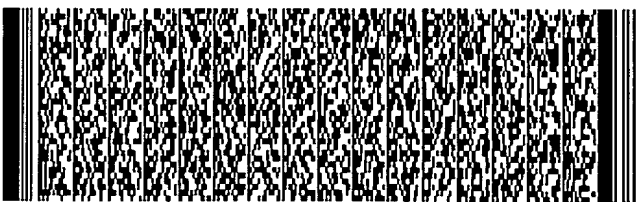
10. 如申請專利範圍第9項之儲存裝置，其中該輸出緩衝模組包含有：

一 第一及第二鎖定電路(latch)，各鎖定電路分別電連於對應至同一位址之不同記憶單元，用來儲存各記憶單元輸出的資料；而該輸出緩衝模組係將該第一鎖定電路中儲存的資料作為該儲存裝置之輸出；以及

一 傳輸電路，電連於兩鎖定電路之間；當該第一及該第二鎖定電路電連之記憶單元輸出資料時，該傳輸電路會關閉而使該第一及第二鎖定電路可分別儲存兩記憶單元之輸出資料；而當該輸出緩衝模組以該第一鎖定電路中儲存的資料作為該儲存裝置之輸出後，該傳輸電路會導通而將該第二鎖定電路中儲存的資料傳輸至該第一鎖定電路中，使該輸出緩衝模組可繼續以該第一鎖定電路中之資料作為該儲存裝置的輸出，以使該輸出緩衝模組可於不同之時間依序提供各記憶單元輸出之資料。

11. 如申請專利範圍第10項之儲存裝置，其中該傳輸電路為一傳輸閘(transmission gate)。

12. 如申請專利範圍第9項之儲存裝置，其另包含有：

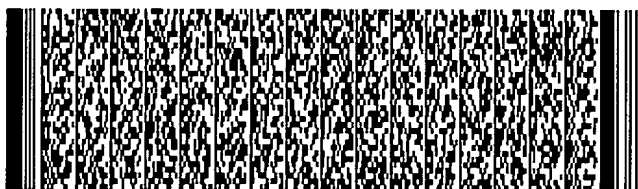


六、申請專利範圍

一 介面電路，可接收一位址資訊；
一位址計算模組，可根據該位址資訊提供一第一位址；
以及
一位址緩衝模組，電連於該位址計算模組，該位址緩衝模組可接收並儲存該位址計算模組提供的第一位址；而當該位址緩衝模組儲存該第一位址後，該位址計算模組可開始根據該位址資訊計算出一個異於該第一位址之第二位址，使得當該位址緩衝模組儲存該第一位址時，該位址計算模組已可提供該第二位址；
其中該解碼模組係電連於該位址緩衝模組；當該位址緩衝模組儲存該第一位址而該位址計算模組可提供該第二位址時，該解碼模組可使對應於該第一位址之各個記憶單元輸出其記錄之資料；而當對應於該第一位址之各個記憶單元輸出其記錄之資料後，該位址緩衝模組會儲存該位址計算模組提供的第二位址，而該解碼模組可使對應於該第二位址之各個記憶單元輸出其記錄之資料。

13. 如申請專利範圍第12項之儲存裝置，其中該輸出緩衝模組另電連於該介面電路，以經由該介面電路接收該位址資訊之配線依序提供各記憶單元輸出的資料。

14. 如申請專利範圍第11項之儲存裝置，其中該位址計算模組係以位址遞增的方式由該第一位址計算出該第二位址。

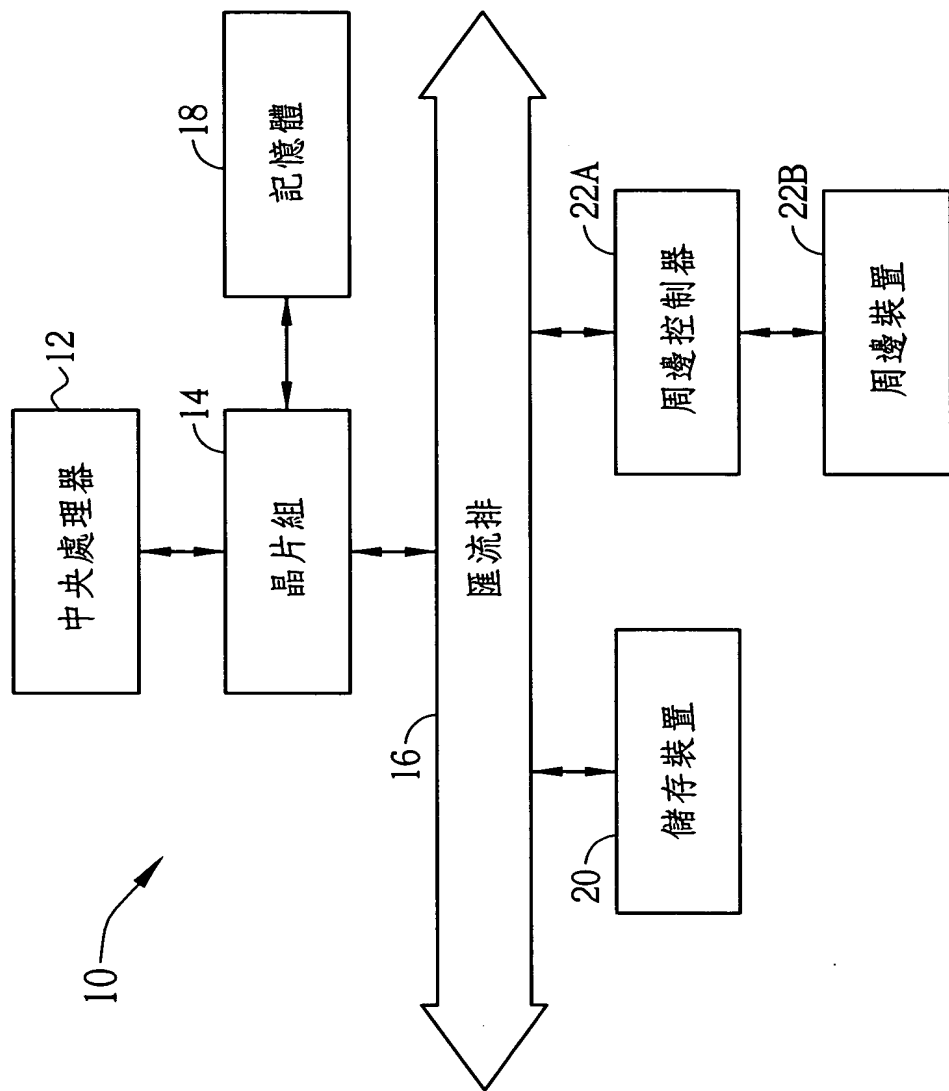


六、申請專利範圍

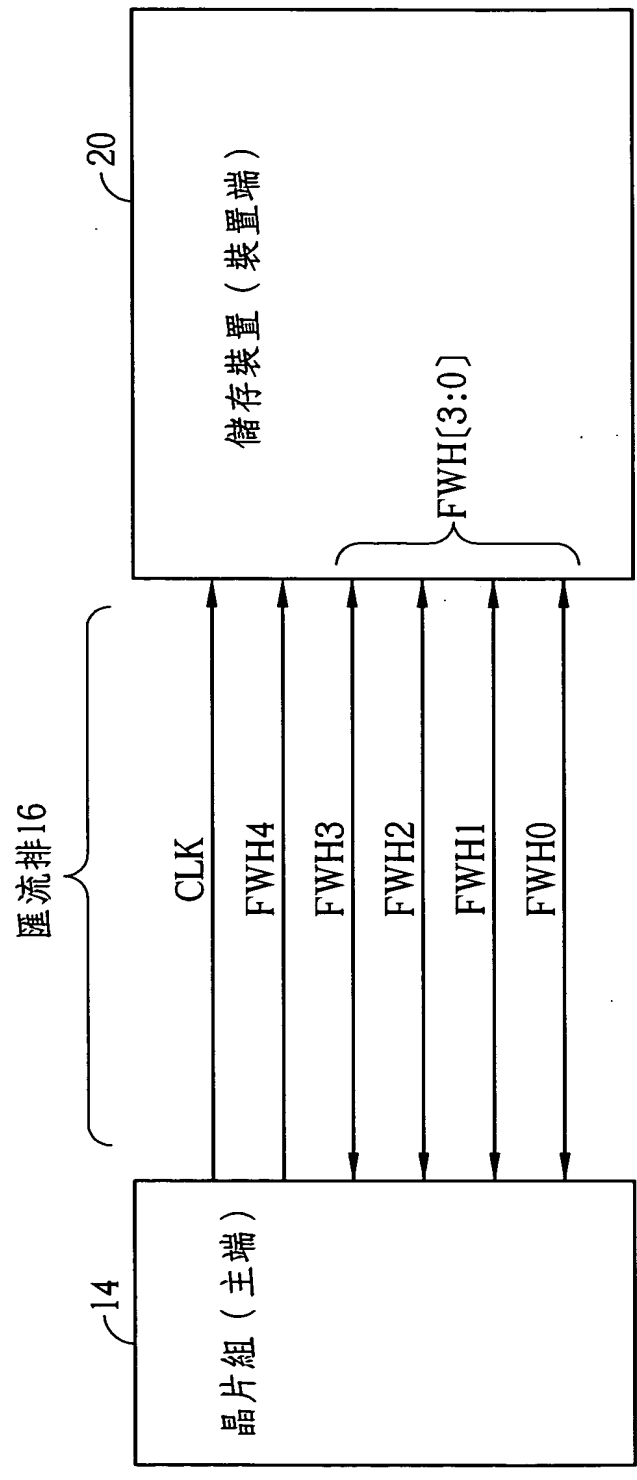
15. 如申請專利範圍第9項之儲存裝置，其係為一非揮發性之記憶體。

16. 如申請專利範圍第9項之儲存裝置，其中該複數個記憶單元係排列為一陣列，而該解碼模組包含有一行解碼器及一系列解碼器。

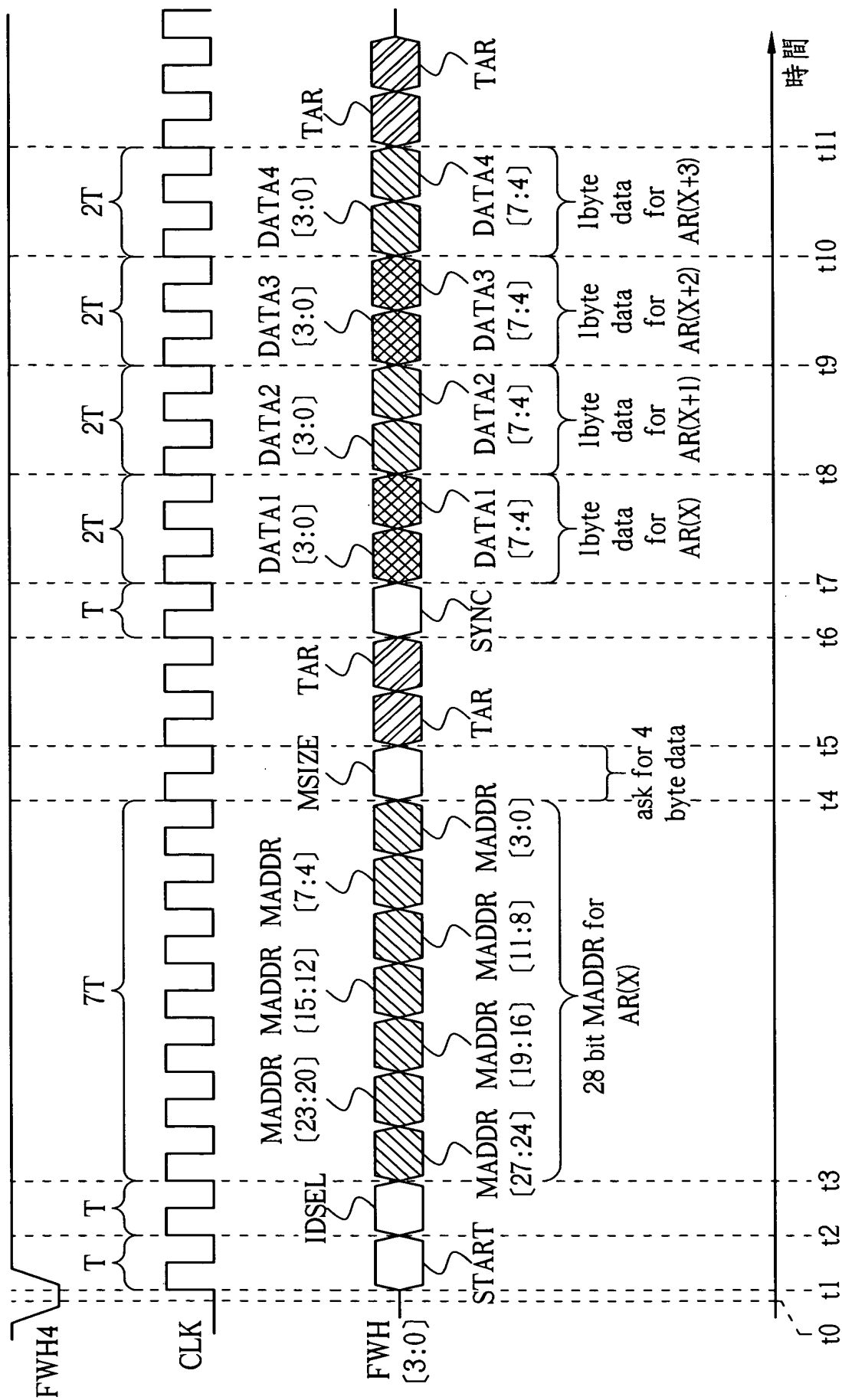




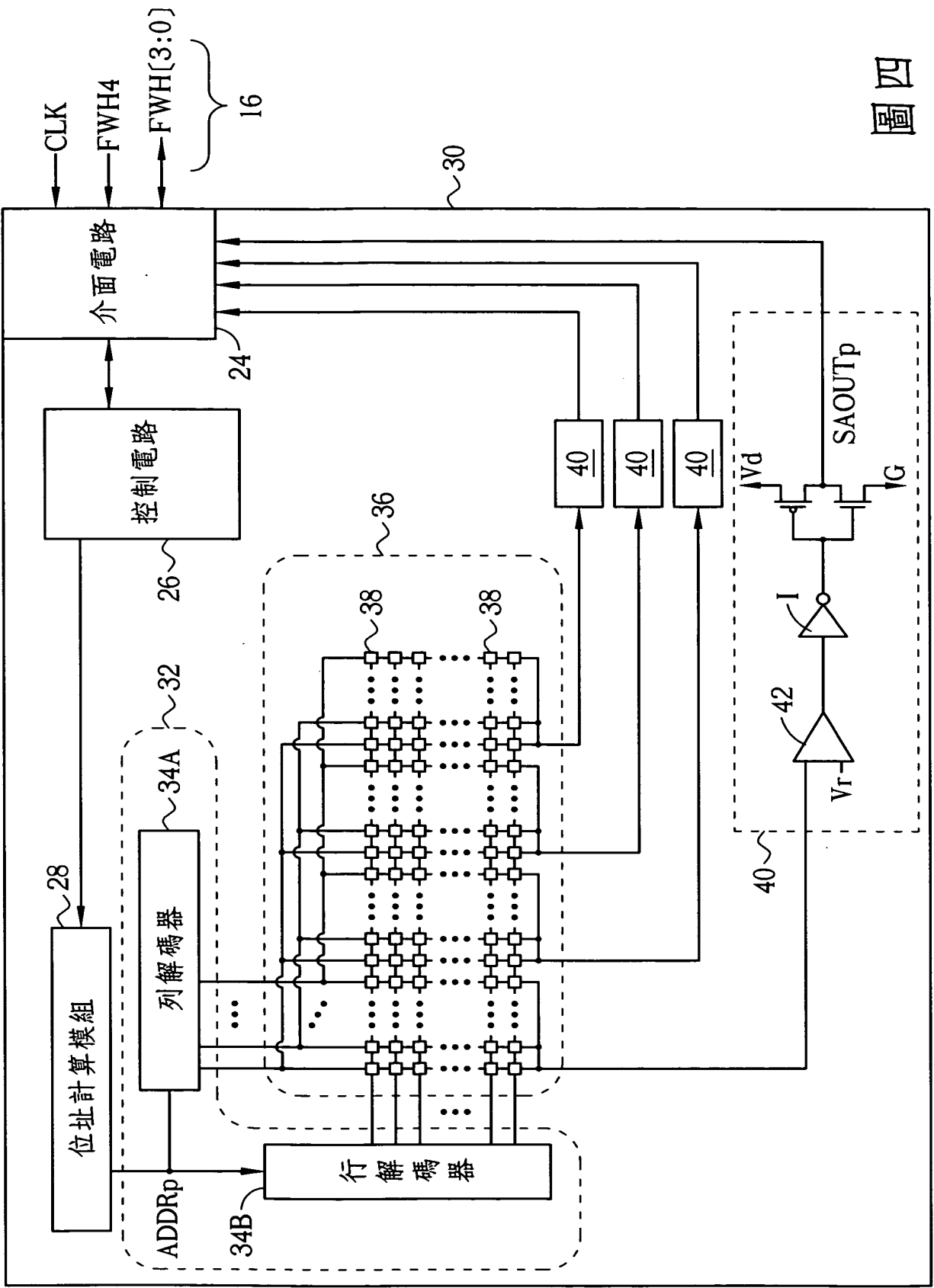
圖一



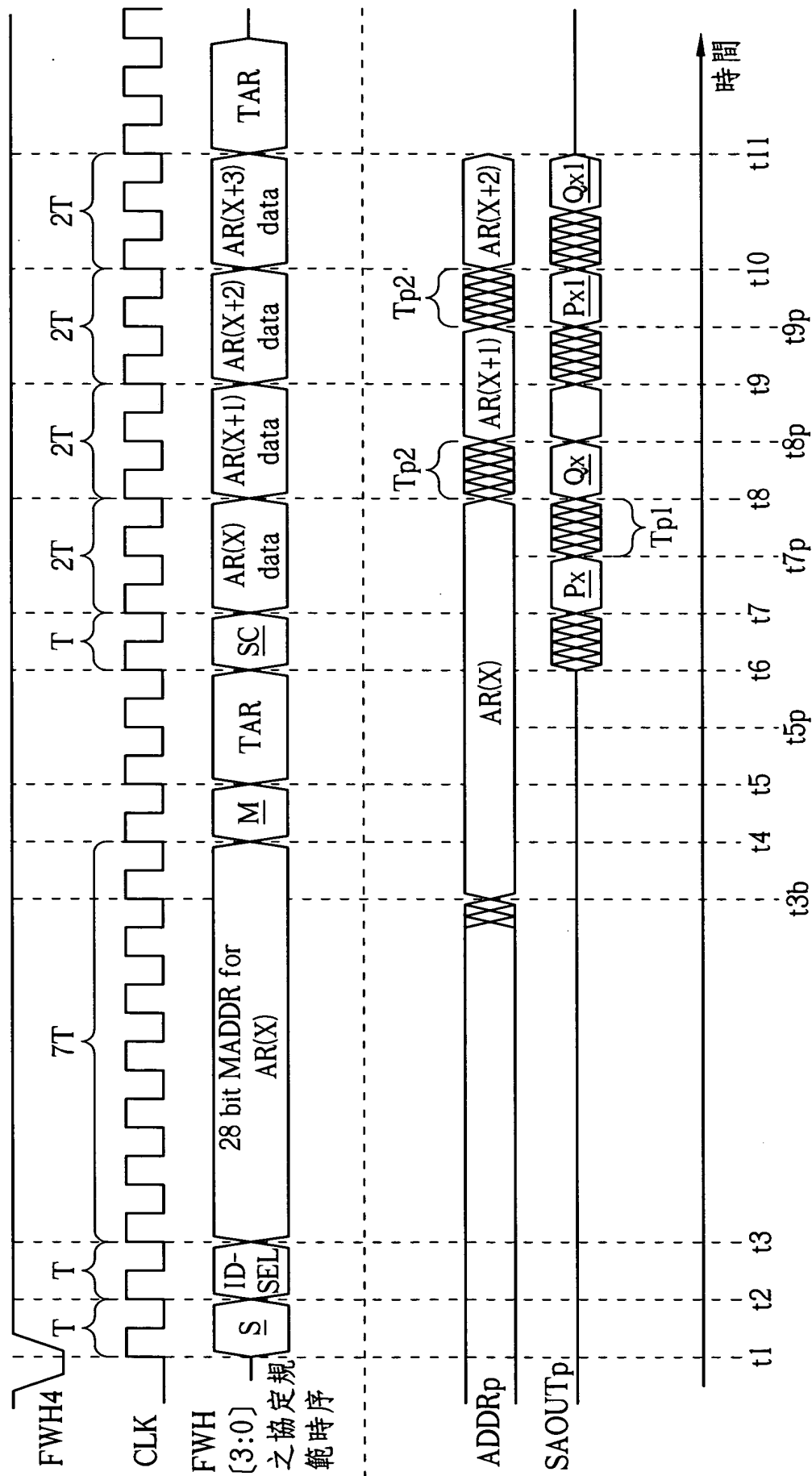
圖二



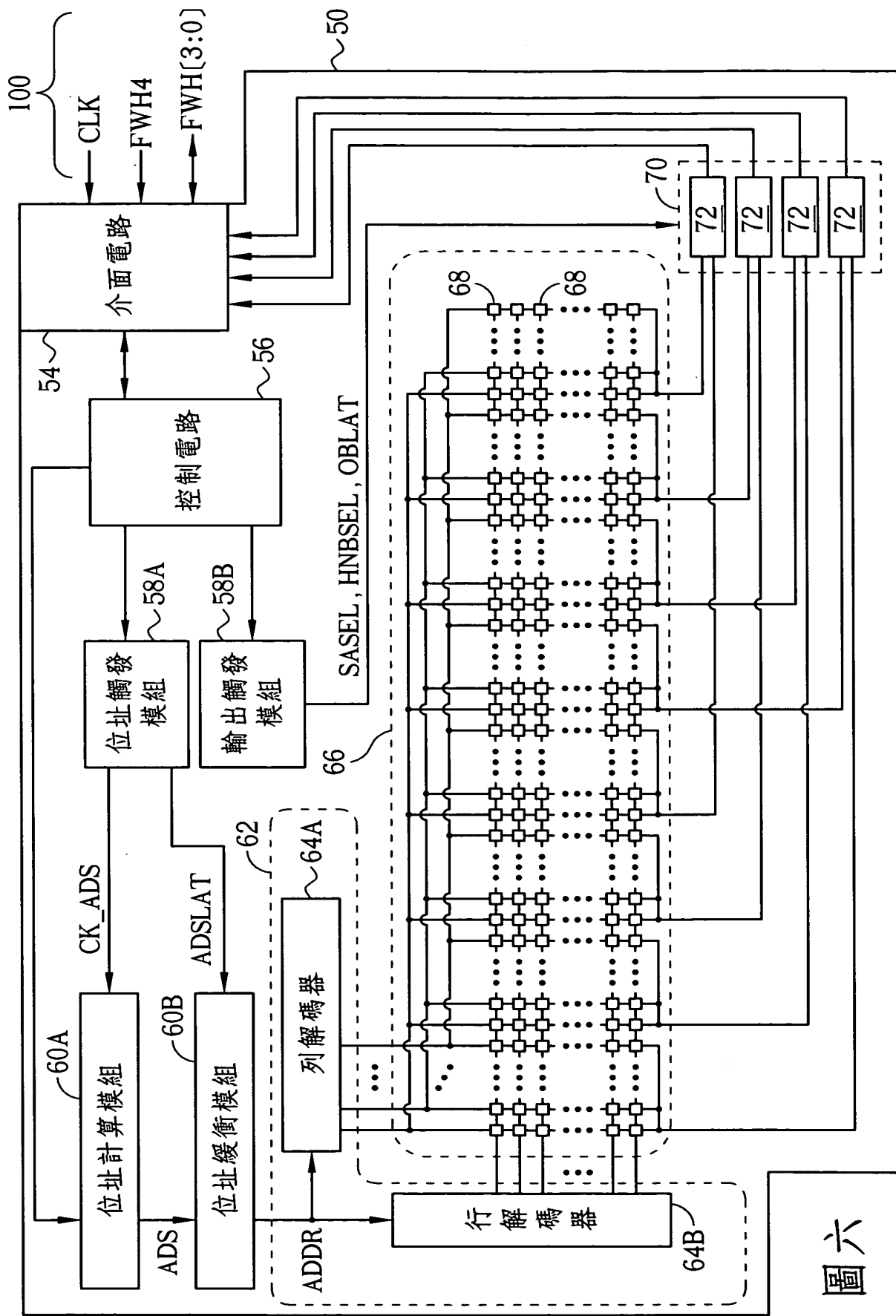
圖三



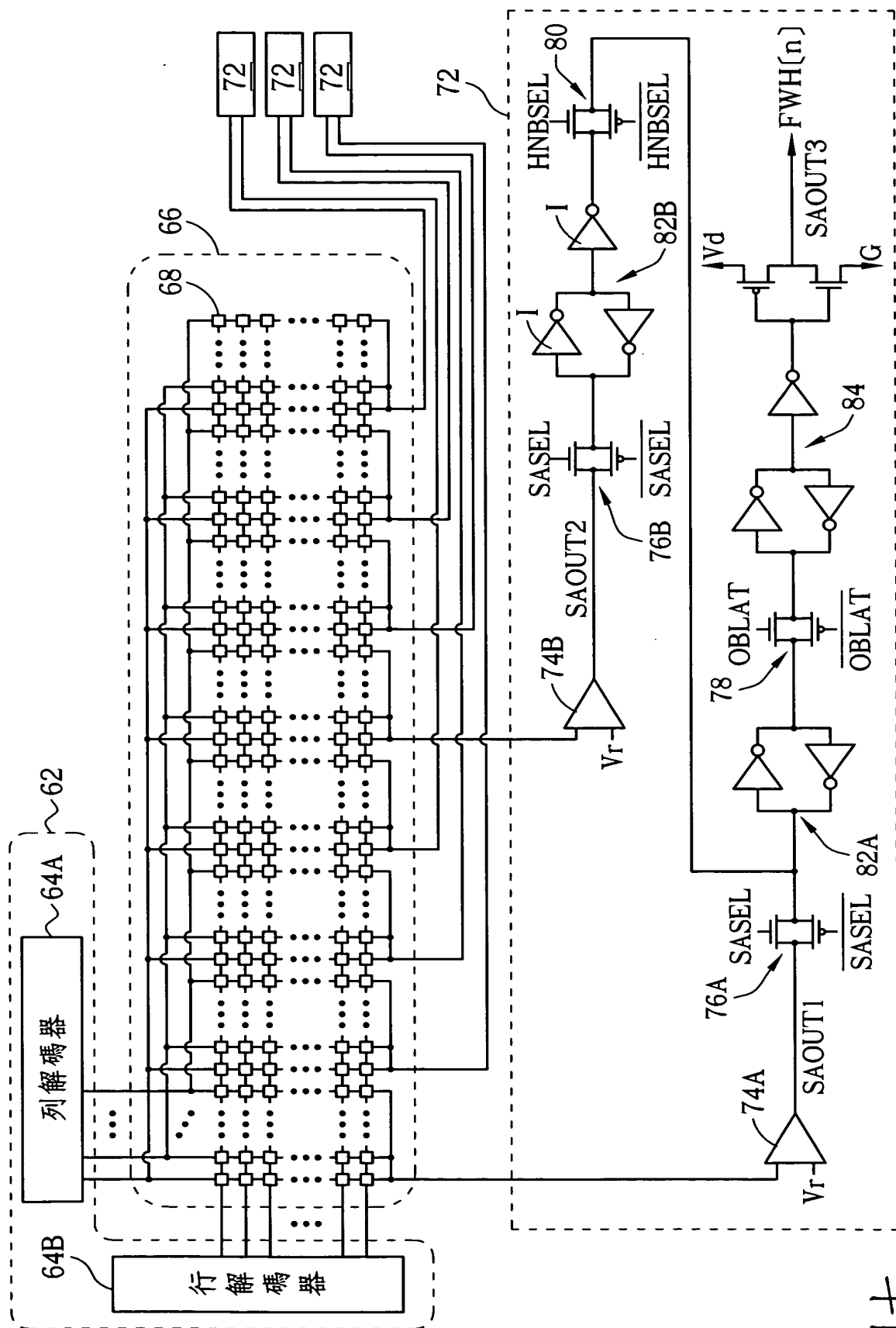
圖四



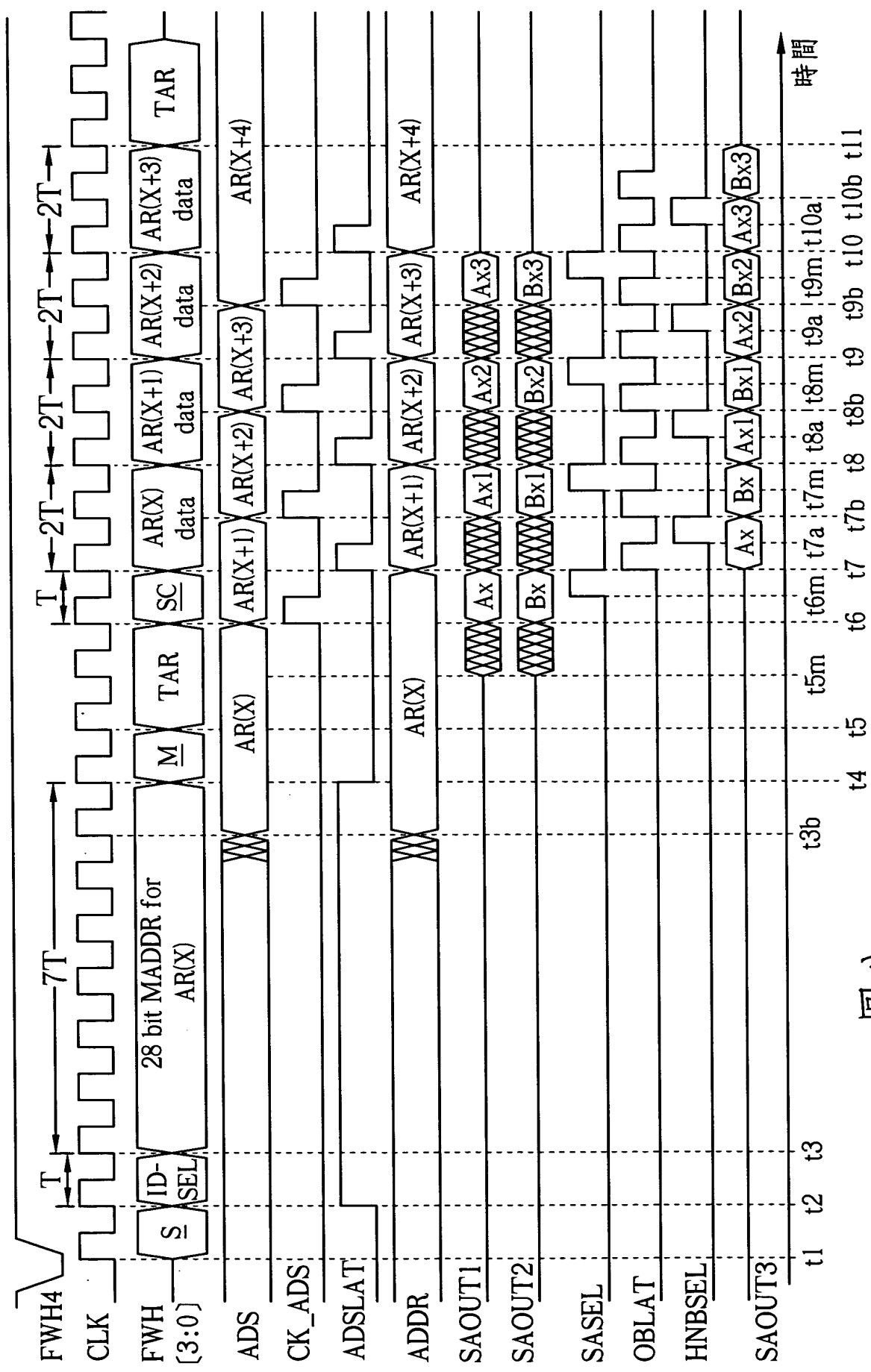
圖五



圖六



七回



圖八

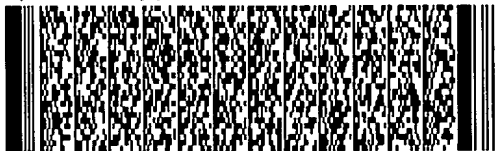
第 1/35 頁



第 1/35 頁



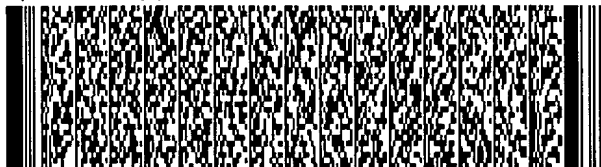
第 2/35 頁



第 3/35 頁



第 3/35 頁



第 4/35 頁



第 5/35 頁



第 6/35 頁



BEST AVAILABLE COPY

第 7/35 頁



第 8/35 頁



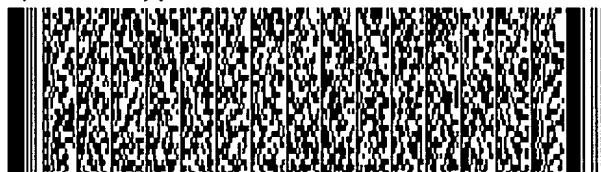
第 8/35 頁



第 9/35 頁



第 9/35 頁



第 10/35 頁



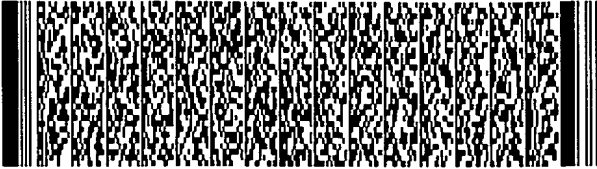
第 10/35 頁



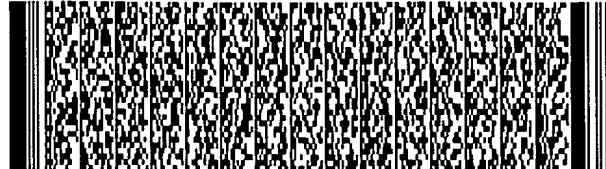
第 11/35 頁



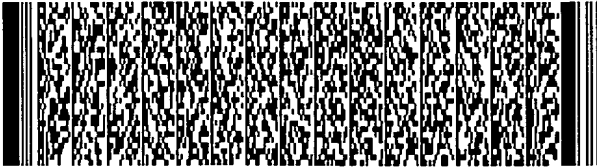
第 11/35 頁



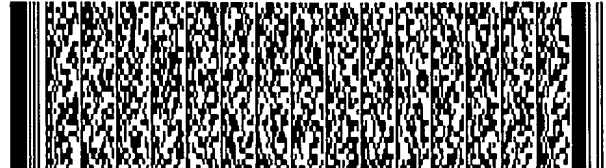
第 12/35 頁



第 12/35 頁



第 13/35 頁



第 13/35 頁



第 14/35 頁



第 14/35 頁



第 15/35 頁



第 15/35 頁



第 16/35 頁



第 16/35 頁



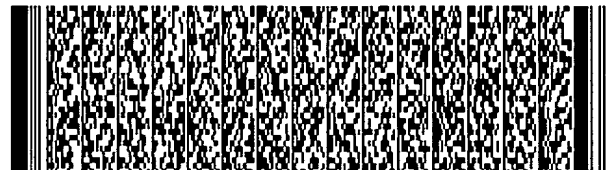
第 17/35 頁



第 17/35 頁



第 18/35 頁



第 18/35 頁

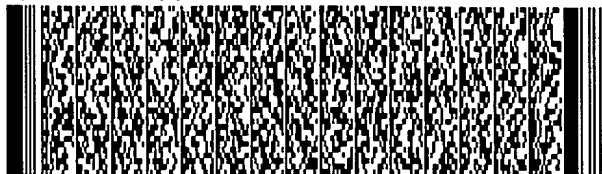


第 19/35 頁

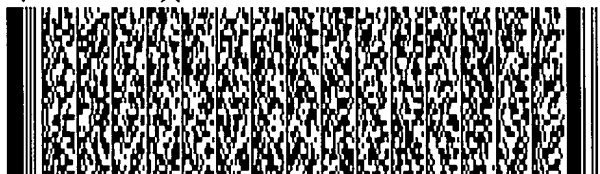


BEST AVAILABLE COPY

第 19/35 頁



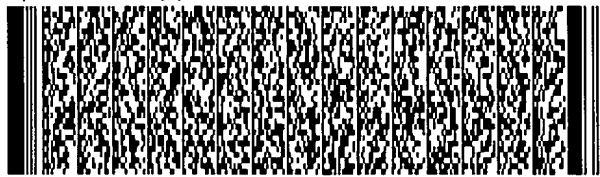
第 20/35 頁



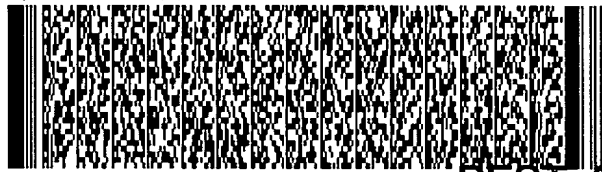
第 20/35 頁



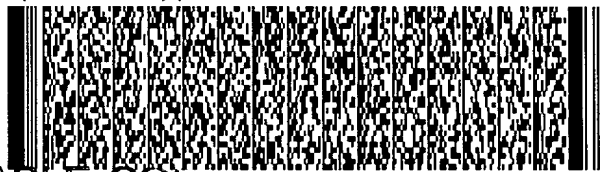
第 21/35 頁



第 21/35 頁



第 22/35 頁



BEST AVAILABLE COPY

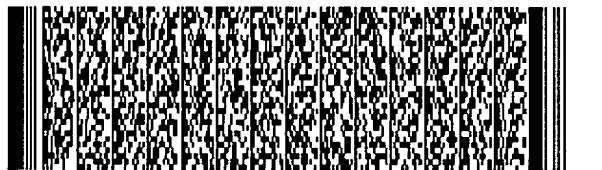
第 22/35 頁



第 23/35 頁



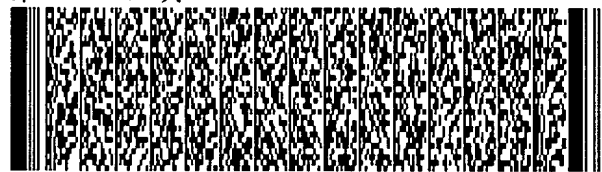
第 23/35 頁



第 24/35 頁



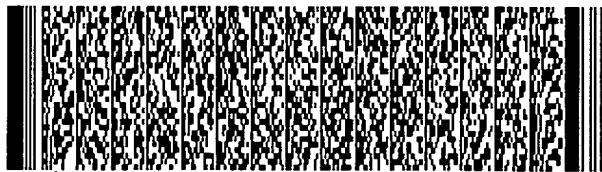
第 24/35 頁



第 25/35 頁



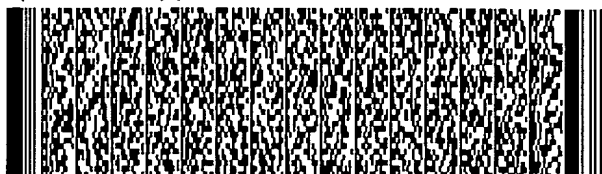
第 25/35 頁



第 26/35 頁



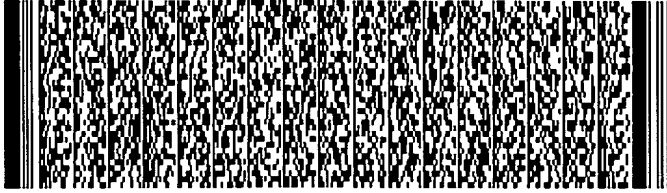
第 26/35 頁



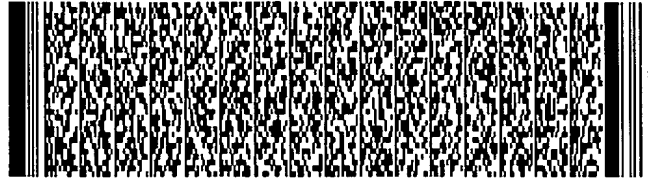
第 27/35 頁



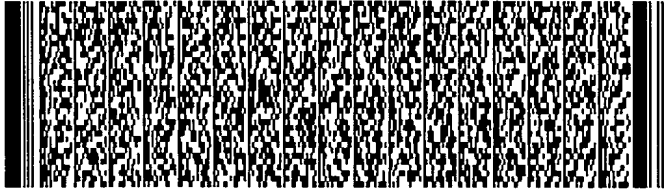
第 28/35 頁



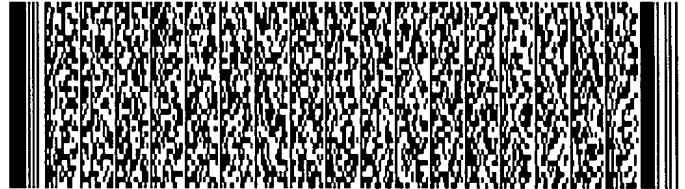
第 29/35 頁



第 30/35 頁



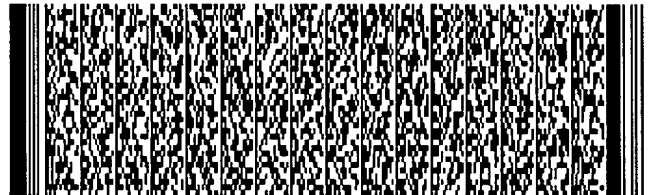
第 31/35 頁



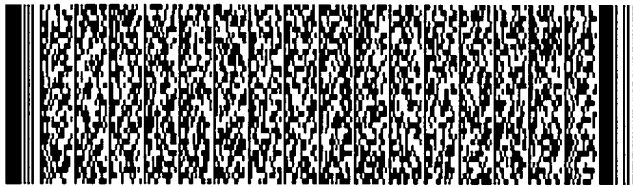
第 32/35 頁



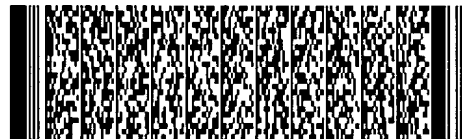
第 33/35 頁



第 34/35 頁



第 35/35 頁



BEST AVAILABLE COPY